

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-336338

(43) 公開日 平成7年(1995)12月22日

(51) Int. C1. 6

識別記号 庁内整理番号

F I

技術表示箇所

H 0 4 L 7/00

A

G 0 6 F 1/12

H 0 3 K 17/00

F 0570-5 J

G 0 6 F 1/04 3 4 0 D

審査請求 未請求 請求項の数 3

O L

(全 12 頁)

(21) 出願番号

特願平6-122174

(71) 出願人 000005223

富士通株式会社

(22) 出願日

平成6年(1994)6月3日

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 久保 武雄

福岡県福岡市博多区博多駅前三丁目22番8
号 富士通九州ディジタル・テクノロジ株
式会社内

(74) 代理人 弁理士 井桁 貞一

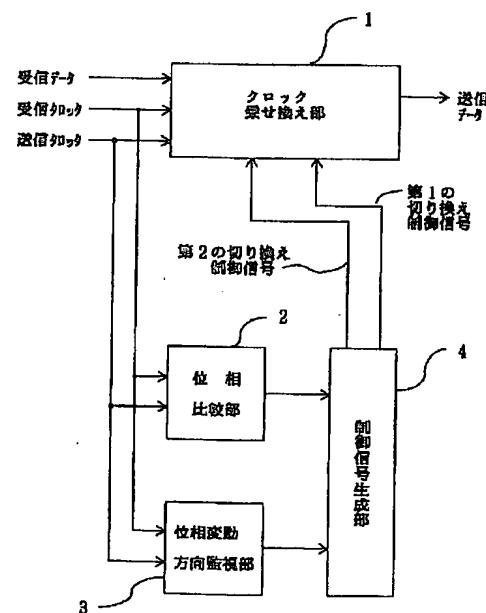
(54) 【発明の名称】クロック乗せ換え回路

(57) 【要約】

【目的】 クロック乗せ換え回路に関し、受信クロックと送信クロックの接近時のデータ継続性を保障する回路を提供することを目的とする。

【構成】 受信データを受信クロックにより受け取り、送信クロックにより該受け取りデータから位相を異にする少なくとも3つのデータをつくり、第1、第2の切り換え制御信号をもちいて位相を異にする少なくとも3つのデータから一つを選ぶクロック乗せ換え部と、受信クロックと送信クロックとの位相を比較し、該2つの位相の一致を検出する位相比較部と、受信クロックと送信クロックとの位相変動方向を監視する位相変動方向監視部と、位相比較部の一致結果と位相変動方向監視部の監視結果をもとに、クロック乗せ換え部に対する第1、第2の切り換え制御信号をつくる制御信号生成部とを設ける。

本発明の原理構成を示す図



【特許請求の範囲】

【請求項1】 受信データを受信クロックにより受け取り、送信クロックにより該受け取りデータから位相を異にする少なくとも3つのデータをつくり、第1、第2の切り換え制御信号にて前記位相を異にする少なくとも3つのデータから一つを選ぶクロック乗せ換え部(1)と、前記の受信クロックと送信クロックとの位相を比較し、該2つの位相の一致を検出する位相比較部(2)と、前記受信クロックと送信クロックとの位相変動方向を監視する位相変動方向監視部(3)と、前記の位相比較部(2)の一一致結果と位相変動方向監視部(3)の監視結果をもとに、前記クロック乗せ換え部(1)に対する前記第1、第2の切り換え制御信号をつくる制御信号生成部(4)を設け、送信データにおけるデータの欠落、2度読みを回避するようにしたことを特徴とするクロック乗せ換え回路。

【請求項2】 上記位相比較部(2)を、受信クロックの立上がりエッジを検出する立上がり検出部(21)と、送信クロックの立上がりエッジまたは立下がりエッジを検出する立上がり立下がり検出部(22)とから構成するようにしたことを特徴とする請求項1記載のクロック乗せ換え回路。

【請求項3】 前記クロック乗せ換え部(1)は、受信データを受信クロックで取り込む第1ラッチ手段と、該第1ラッチ手段の出力を送信クロックで取り込む第2ラッチ手段と、前記第1ラッチ手段の出力を反転送信クロックで取り込む第3ラッチ手段と、該第3ラッチ手段の出力を送信クロックで取り込む第4ラッチ手段と、前記第3ラッチ手段の出力と前記第4ラッチ手段の出力の何れか一方を前記第2の切り換え制御信号に基づき選択出力する第1選択手段と、前記第2ラッチ手段の出力と前記第1選択手段の出力の何れか一方を前記第1の切り換え制御信号に基づき選択出力する第2選択手段と、前記第1選択手段の出力を送信クロックで取込み、送信データとする第5ラッチ手段とを有し、前記制御信号生成部(4)は、受信クロックに対する送信クロックの位相進み／遅れに対応して、前記第3ラッチ手段の出力／第4ラッチ手段の出力が前記第1選択手段により選択されるように前記第2の切り換え信号を生成するように構成されること特徴とする請求項1記載のクロック乗せ換え回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、伝送装置にもちいるクロック乗せ換え回路に関するものである。伝送装置において、受信データを該受信データに同期した受信クロックにより受入れ、該受信データを前記伝送装置内でつくれられた送信クロックに乘せ換え、送信データとして送出するクロック乗せ換え回路をもちいる。

【0002】このデータ処理に際し、データの欠落、データの2度読みなどを起こすことはデータの信頼性低下につながるので、これらを回避するクロック乗せ換え回路が必要になる。

【0003】

【従来の技術】以下、図8～図10をもちいて従来例のクロック乗せ換え回路を説明する。図8は従来の一実施例回路の構成を示す図である。図9は図8における一実施例のタイミングを示す図(その1)であり、送信クロック(SCK)の位相変動が受信クロック(RCK)に対して遅れる方向の場合に対応する。

【0004】また、図10は図8における一実施例のタイミングを示す図(その2)であり、送信クロック(SCK)の位相変動が受信クロック(RCK)に対して進む方向の場合に対応する。

【0005】さらに、図9と図10の両タイムチャートに記載する信号名は、図8に記載する信号名に対応する。まず、図8から説明する。図8において、6はクロック乗せ換え部であり、4つの第1FF(フリップフロップ)61、第2FF62、第3FF64、第4FF66と、1つのINV(インバータ)63および、1つのセレクタ65よりなる。

【0006】クロック乗せ換え部6では、RCKに同期した受信データ(SDTi)をRCKに対し非同期のSCKに乘せ換え、送信データ(SDTo)として送出する。7は位相比較部であり、立上がり検出部71と立上がり立下がり検出部72よりなる。

【0007】立上がり検出部71では、RCKのマスタクロック(RCM)からRCKの立上がりエッジを検出した信号aをつくる。立上がり立下がり検出部72では、SCKのマスタクロック(SCM)からSCKの立上がりエッジを検出した信号bおよび、該SCKからSCKの立下がりエッジを検出した第1の切り換え制御信号対応の信号c(以下、信号cと称す)をつくる。

【0008】さらに、RCKはRCM(凡そRCKの8倍乃至16倍の速度をもつ)から、SCKはSCM(凡そSCKの8倍乃至16倍の速度をもつ)から、それぞれ分周してつくられるクロックである。

【0009】8は制御信号生成部であり、2つのNAND81,82と1つのFF83よりなる。NAND81では、信号aと信号bのNAND積を求め、RCKの立上がりエッジとSCKの立上がりエッジ間の接近を検出した第2の切り換え制御信号である信号d(以下、信号dと称す)をつくる。

【0010】NAND82では、信号aと信号cのNAND積を求め、RCKの立上がりエッジとSCKの立下がりエッジ間の接近を検出した信号eをつくる。FF83で

は、信号dをセット(S)信号、信号eをリセット(R)信号としてもちいて、セレクタ65を切り換える信号fをつくる。

【0011】以下において、図8に示すクロック乗せ換え部6の動きを、SCKの位相変動が遅れる方向の場合とSCKの位相変動が進む方向の場合を説明する。この際、SDTiは、「H」のデータ1、「L」のデータ2、「H」のデータ3・・・の順に並ぶ正負の交互信号とする。

1-1 SCKの位相変動が遅れる方向の場合(図9)

(a) RCKの立上がりエッジがSCKの立上がりエッジに接近する状態の時

信号aはRCKの立上がりエッジ間が「H」のパルス信号であり、信号bはSCKの立上がりエッジ間が「H」のパルス信号であり、信号cはSCKの立下がりエッジ間が「H」のパルス信号である。

【0012】信号aと信号cが一致する点(記載を略す)から信号aと信号bが一致するX点迄の間では、信号dと信号eは常に「H」になり、信号fは「L」になる。第1FF61では、記載していないSDTiをRCKの立上がりエッジでラッチし、データ1、データ2、データ3の順に読み出す。

【0013】第2FF62では、第1FF出力をSCKの立上がりエッジでラッチし、データ1、データ2の順に読み出す。第3FF64では、SCKをINV63で反転したクロック(反転SCK)の立上がりエッジで第1FF出力をラッチし、データ1、データ2、データ3の順に読み出す。

【0014】このように読み出すと、第2FF62と第3FF64の出力の順序は第3FF64、第2FF62の順になる。さらに、信号fは「L」なので、セレクタ65は0側の第2FF出力を選択してデータ1、データ2の順に送出する。

【0015】従って、第4FF66では、第2FF出力をSCKの立上がりエッジにしラッチし、第2FF出力より半SCK周期遅れのデータ1を最終出力のSDToとして送出する。

(b) RCKの立上がりエッジがSCKの立上がりエッジより離れる状態の時

以下、前記1-1と異なる点を中心に説明する。

【0016】X点に至ると、信号aと信号bとのタイミングは一致する。この際、信号dは「L」に切り換わり、信号eは「H」を維持し、信号fはX点における信号dの「H」を検出して「H」に切り換わる。

【0017】X点から離れると、信号dは「H」を維持し、信号eと信号fも「H」を維持する。第1FF61では、データ3の次のデータ4、データ5、データ6・・・の順に読み出す。

【0018】第2FF62では、X点の次に来るRCKの立上がりエッジの位相がSCKの立上がりエッジの位相

より進むようになるので、まずX点でデータ3を読み出し、次はデータ4を飛ばしてデータ5、データ6・・・の順に読み出す。

【0019】第3FF64では、データ3、データ4、データ5・・・の順に読み出す。さらに、セレクタ65では、信号fは「H」なので1側を選択し、まずはデータ幅の短いデータ3、次に通常幅のデータ4・・・の順に送出する。

【0020】従って、第4FF66では、データ3はデータ幅が短いので読み出されず、データ2の次にデータ4、以後はデータ5、データ6・・・の順に読み出して最終出力のSDToとする。

【0021】以上をまとめて、第4FF66では、セレクタ65から出力されるデータ3のデータ幅が短くなるため、SCKの立上がりエッジで該データ3をラッチできないようになり、SDToの中からデータ3は欠落するようになる。

1-2 SCKの位相変動が進む方向の場合(図10)

以下、前記1-1(a), (b)と異なる点を中心に説明する。

2-1 SCKの立上がりエッジがRCKの立上がりエッジに接近する状態の時

X点迄は、信号aと信号bおよび信号cのタイミングは不一致であり、信号dと信号eは「H」であり、信号fは「L」である。

【0022】第1FF61では、SDTiをデータ1、データ2、データ3の順に読み出す。第2FF62では、データ1、データ2、データ3の順に読み出す。また、第3FF64では、データ1、データ2、データ3の順に読み出す。

30 【0023】このように読み出すと、2つの読み出し順序は第2FF出力、第3FF出力になる。さらに、信号fは「L」なので、セレクタ65は0側、即ち第2FF出力を選択し、セレクタ65はデータ1、データ2、データ3の順に出力する。

【0024】従って、第4FF66では、該第2FF出力より半SCK周期遅れのデータ1、データ2・・・を読み出して最終出力のSDToとする。

2-2 SCKの立上がりエッジがRCKの立上がりエッジより離れる状態の時

40 X点に至ると、信号aと信号bとのタイミングは一致する。この際、信号dは「L」に切り換わり、信号eは「H」を維持し、信号fはX点における信号dの「H」を検出して「H」に切り換わる。

【0025】X点から離れると、信号dは「H」を維持し、信号eと信号fも「H」を維持する。第1FF61では、データ3の次にデータ4、データ5・・・の順に読み出す。

【0026】第2FF62では、X点においてSCKの立上がりエッジでデータ3は2度読みし、データ3、データ4、データ5・・・の順に読み出す。第3FF64で

は、データ3の次にデータ4、データ5・・・の順に読み出す。

【0027】さらに、セレクタ65では、信号fは‘H’なので1側、即ち第3FF出力を選択し、まずデータ3、次にデータ幅の短いデータ3、以後は通常のデータ幅のデータ4、データ5・・・の順に出力する。

【0028】従って、第4FF66では、第2FF出力より半SCK周期遅れのデータ3、データ4・・・の順に読み出して最終出力のSDToとする。以上をまとめ、第4FF66では、セレクタ65の出力のデータ幅はSCKの立上がりエッジでラッチできる長さなので、最終出力であるSDToの継続性は保障できる。

【0029】

【発明が解決しようとする課題】従って、従来例の技術においては、SCKの位相変動がRCKに対して遅れる方向の場合は、1回目のRCKの立上がりエッジとSCKの立下がりエッジの接近時において、データの欠落が起こるという課題がある。

【0030】本発明は、SCKの位相変動がRCKに対して遅れる方向の場合、進む方向の場合にかかわらず、1回目のRCKの立上がりエッジとSCKの立下がりエッジの接近に対してデータの継続性が保障されるクロック乗せ換回路を提供することを目的とする。

【0031】

【課題を解決するための手段】上記の目的を達成するため、第1発明では図1に示すとく、受信データを受信クロックにより受け取り、送信クロックにより該受け取りデータから位相を異にする少なくとも3つのデータをつくり、第1、第2の切り換え制御信号にて前記位相を異にする少なくとも3つのデータから一つを選ぶクロック乗せ換え部1と、前記の受信クロックと送信クロックとの位相を比較し、該2つの位相の一致を検出する位相比較部2と、前記受信クロックと送信クロックとの位相変動方向を監視する位相変動方向監視部3と、前記の位相比較部2の一致結果と位相変動方向監視部3の監視結果をもとに、前記クロック乗せ換え部1に対する前記第1、第2の切り換え制御信号をつくる制御信号生成部4を設け、送信データにおけるデータの欠落、2度読みを回避するように構成する。

【0032】また、第2発明では図2に示すとく、上記位相比較部2を、受信クロックの立上がりエッジを検出する立上がり検出部21と、送信クロックの立上がりエッジまたは立下がりエッジを検出する立上がり立下がり検出部22とから構成するようにする。

【0033】さらに、第3発明では図2に示すとく、前記クロック乗換え部1は、受信データを受信クロックで取り込む第1ラッチ手段と、該第1ラッチ手段の出力を送信クロックで取り込む第2ラッチ手段と、前記第1ラッチ手段の出力を反転送信クロックで取り込む第3ラッチ手段と、該第3ラッチ手段の出力を送信クロックで

取り込む第4ラッチ手段と、前記第3ラッチ手段の出力と前記第4ラッチ手段の出力の何れか一方を前記第2の切り換え制御信号に基づき選択出力する第1選択手段と、前記第2ラッチ手段の出力と前記第1選択手段の出力の何れか一方を前記第1の切り換え制御信号に基づき選択出力する第2選択手段と、前記第1選択手段の出力を送信クロックで取り込み、送信データとする第5ラッチ手段とを有し、前記制御信号生成部4において、受信クロックに対する送信クロックの位相進み／遅れに対応して、前記第3ラッチ手段の出力／第4ラッチ手段の出力が前記第1選択手段により選択されるように前記第2の切り換え信号を生成するよう構成する。

【0034】

【作用】第1発明は図1に示すように、クロック乗せ換え部1では、受信データを受信クロックにより受け取り、送信クロックにより該受け取りデータから位相を異にする少なくとも3つのデータをつくり、第1、第2の切り換え制御信号にて前記位相を異にする少なくとも3つのデータから一つを選ぶようにし、位相比較部2では、前記の受信クロックと送信クロックとの位相を比較し、該2つの位相の一致を検出するようにする。

【0035】また、位相変動方向監視部3では、前記受信クロックと送信クロックとの位相変動方向を監視するようにし、制御信号生成部4では、前記の位相比較部2の一一致結果と位相変動方向監視部3の監視結果をもとに、前記クロック乗せ換え部1に対する前記第1、第2の切り換え制御信号をつくるようする。

【0036】従って、前記クロック乗せ換え部1を前記第1、第2の切り換え制御信号により制御を行うことにより、送信クロックの位相変動が遅れる方向の場合および進む方向の場合にも、1回目の受信クロックの立上がりエッジと送信クロックの立上がりエッジの接近に対して最終出力データが保障できるように対応することが可能である。

【0037】更に、第3発明は図2に示すように、前記クロック乗換え部1の中に備えた、第1ラッチ手段では受信データを受信クロックで取り込み、第2ラッチ手段では該第1ラッチ手段の出力を送信クロックで取り込み、第3ラッチ手段では前記第1ラッチ手段の出力を反転送信クロックで取り込み、第4ラッチ手段では該第3ラッチ手段の出力を送信クロックで取り込むようにする。

【0038】また、第1選択手段では前記第3ラッチ手段の出力と前記第4ラッチ手段の出力の何れか一方を前記第2の切り換え制御信号に基づき選択出力し、第2選択手段では前記第2ラッチ手段の出力と前記第1選択手段の出力の何れか一方を前記第1の切り換え制御信号に基づき選択出力し、そして、第5ラッチ手段では前記第2選択手段の出力を送信クロックで取込んで送信データとして送出するようする。

【0039】従って、受信クロックに対する送信クロックの位相遅れに対しては第4ラッチ手段の出力を有効とし、また送信クロックの位相進みに対しては第3ラッチ手段の出力を有効とするように、前記第2の切り換え信号にて前記第1選択手段を制御することにより、受信クロックに対する送信クロックの位相進み／遅れ時に生じるデータの欠落を防止することが可能になる。

【0040】

【実施例】以下において、図2～図4と図5～図7にわけて本発明を説明する。なお、従来例の図8～図10と同一の構成または作用をもつものについては、その説明を簡単にする。

1. 第1実施例の説明：図2～図4参照

図2は本発明の一実施例回路の構成を示す図であり、図3は図2における一実施例のタイミングを示す図（その1）であり、図4は図2における一実施例のタイミングを示す図（その2）である。

【0041】また、図3は送信クロック（SCK）の位相変動が受信クロック（RCK）に対して進む方向の場合に対応し、図4は送信クロック（SCK）の位相変動が受信クロック（RCK）に対して進む方向の場合に対応している。

【0042】さらに、図3と図4の両タイムチャートに記載する信号名は、図2に記載する信号名に対応する。以下、図2、図3、図4の順に説明を展開する。図2において、1はクロック乗せ換え部であり、5つの第1FF11、第2FF12、第3FF14、第4FF15、第5FF18と、1つのINV13および、2つの第1セレクタ16、第2セレクタ17よりなる。

【0043】詳細は後記するが、クロック乗せ換え部1では、第1FF出力をもとに位相が異なる第2FF出力、第3FF出力、第4FF出力の3つの信号をつくり、該3信号を切り換えてRCKに対し非同期のSCKに乗せ換え、正常なSDTとして送出するようにしている。

【0044】21と22の各回路は、RCKの立上がりエッジとSCKの立上がりエッジ或いは立下がりエッジとの一致を検出する位相比較部2に対応し、21は立上がり検出部であり、22は立上がり立下がり検出部である。

【0045】立上がり検出部21では、RCMからRCKの立上がりエッジを検出した出力Aをつくる。立上がり立下がり検出部22では、SCMからSCKの立上がりエッジを検出した出力Bをつくり、また、SCMからSCKの立下がりエッジを検出した出力Cをつくる。

【0046】さらに、RCKとRCM、SCKとSCMの速度比は凡そ8倍乃至16倍であることは従来例と同様である。31と32の各回路は、RCKに対しSCKの位相変動の方向を監視するための位相変動方向監視部3に対応し、31は位相識別パルス生成部であり、32は位相変動方向判断部である。

【0047】位相識別パルス生成部31では、SCMとSCKから、SCKと同期しつつ位相が異なるパルス信号の2つのラッチ信号（LAT1、LAT2）をつくる。位相変動方向判断部32では、前記のLAT1およびLAT2とRCKからつくられた出力Aとの位相差を判断し、判断結果の信号Dと信号Eをつくる。

【0048】信号D='H'は、LAT1とLAT2の各レベルをRCKの立上がりエッジで検出し、LAT1='H'、LAT2='L'からLAT1='H'、LAT2='H'へ転ずる場合に得られる。

【0049】信号E='H'は、LAT1とLAT2の各レベルをRCKの立上がりエッジで検出し、LAT1='H'、LAT2='H'からLAT1='L'、LAT2='H'へ転ずる場合に得られる。

【0050】この際、信号Dの'H'はSCKの位相変動がRCKより遅れる方向の場合を示し、信号Eの'H'はSCKの位相変動がRCKより進む方向の場合を示す。4は制御信号生成部であり、2つのNAND41、42と2つの第6FF43、第7FF44よりなる。

【0051】NAND41では、前記の出力Aと出力BとのNAND積をとり、RCKの立上がりエッジとSCKの立下がりエッジの接近を検出した信号A（負極性）とをつくる。

【0052】NAND42では、前記の出力Aと出力CとのNAND積をとり、RCKの立上がりエッジとSCKの立下がりエッジの接近を検出した信号B（負極性）とをつくる。

【0053】第6FF43では、信号Aが'H'から'L'に転ずると、信号Cは'L'から'H'に転じる。また、信号Bが'H'から'L'に転ずると、信号Cは'H'から'L'に転ずる。該信号Cは第2セレクタ17の第1の切り換え制御信号として働く。

【0054】第7FF44では、信号Dが'H'から'L'に転ずると、信号Fは'L'から'H'に転ずる。また、信号Eが'H'から'L'に転ずると、信号Fは'H'から'L'に転ずる。該信号Fは第1セレクタ16の第2の切り換え制御信号として働く。

【0055】以下、図3をもちいてSCKの位相変動が遅れる方向の場合を説明し、図4をもちいてSCKの位相変動が進む方向の場合を説明する。この際、SDTiは、「H」のデータ1、「L」のデータ2、「H」のデータ3…の順に続く正負の交互信号であることは、従来例の通りである。

1-1 SCKの位相変動が遅れる方向の場合（図3）

第6FF43が初期リセットされているので、信号Fは常に'L'であり、第1セレクタ16は0側の第4FF15の出力を選択している。

(a) RCKの立上がりエッジがSCKの立上がりエッジに接近する状態の時

50 RCKの立上がりエッジとSCKの立下がりエッジとが

一致する点（記載を略す）から RCK の立上がりエッジと SCK の立上がりエッジが一致する X 点迄の間では、信号 A、B は共に ‘H’ だから信号 C は ‘L’ であり、第 2 セレクタ 17 は 0 側が有効になり、1 側は無効になり、第 1 セレクタ 16 の出力は第 2 セレクタ 17 を通らない。

【0056】この際、第 5 FF 18 では、第 2 セレクタ 17 の出力（第 2 FF 12 の出力）を SCK でラッチし、該第 2 FF 出力より半 SCK 周期遅れのデータ 1 を最終出力の SDTo とする。

(b) RCK の立上がりエッジが SCK の立上がりエッジより離れる状態の時
RCK の立上がりエッジと SCK の立上がりエッジが一致する X 点では、信号 C は ‘L’ から ‘H’ に切り換わり、第 2 セレクタ 17 は第 1 セレクタ 16 からの出力（第 4 FF 15 の出力）を選択する。

【0057】また、Y 点では、位相変動方向判断部 32 は SCK の位相変動が RCK に対して遅れる方向であると判断し、信号 E は 1 RCK 周期幅だけ ‘L’ になるか、または信号 F は ‘L’ のままなので、第 1 セレクタ 16 は 0 側の第 4 FF 15 の出力を選択している。

【0058】この際、第 2 セレクタ 17 からの出力のデータ幅は、第 5 FF 18 において SCK の立上がりエッジでラッチできるデータ長である。X 点以後において、第 5 FF 18 では、第 1 セレクタ 16 の出力（第 4 FF 出力）を SCK でラッチし、該第 4 FF 出力より半 SCK 周期遅れのデータ 2、データ 3 … を最終出力の SDTo とする。

【0059】さらに、位相変動方向判断部 32 が SCK の位相変動が遅れる方向であると判断した Y 点において、信号 E は 1 RCK の間だけ ‘L’ になるが、該 ‘L’ は第 7 FF 44 に無効であり、その説明を省略する。

【0060】以上をまとめて、SDTo は、データ 1、データ 2 … と続く正常なデータになる。

1-2 SCK の位相変動が進む方向の場合（図 4）

SCK 位相変動方向判断部 32 が SCK の位相変動が進む方向であると判断した Z 点において、信号 D の立下がりエッジの ‘L’ を検出して信号 F は ‘L’ から ‘H’ に切り換わり、第 1 セレクタ 16 は 1 側の第 3 FF 14 の出力を選択するようになる。

(a) SCK の立上がりエッジが RCK の立上がりエッジに接近する状態の時

Z 点迄の間は、信号 C は ‘L’ であり、信号 F も ‘L’ である。この際、第 2 セレクタ 17 は 0 側、即ち第 2 FF 12 の出力を選択し、第 5 FF 18 では、第 2 FF 出力より半 SCK 周期遅れのデータ 1 を送出する。

(b) SCK の立上がりエッジが RCK の立上がりエッジより離れる状態の時

Z 点で信号 F は ‘L’ から ‘H’ に転じるが、信号 F の ‘L’ から ‘H’ への変化は第 2 セレクタ 17 には無効で

ある。

【0061】Z 点から X 点迄の間では、信号 C は ‘L’ なので第 2 セレクタ 17 は第 2 FF 12 の出力を選択し、第 5 FF 18 では、第 2 FF 出力より半 SCK 周期遅れのデータ 2 を送出する。

【0062】X 点において、RCK の立上がりエッジが SCK の立上がりエッジに接近した時、信号 C は ‘L’ から ‘H’ に切り換わり、第 2 セレクタ 17 は第 1 セレクタ 16 の出力（第 3 FF 14 の出力）を選択する。

10 【0063】従って、第 5 FF 18 では、第 3 FF 出力より半 SCK 周期遅れのデータ 3、データ 4 … を送出する。以上をまとめて、第 5 FF 18 では、第 2 セレクタ 17 の出力のデータ幅は SCK の立上がりエッジでラッチできる長さなので内容の保障ができ、SDTo はデータ 1、データ 2 … と続く正常なデータになる。

2. 第 2 実施例の説明：図 5～図 7 参照

図 5 は本発明の他の実施例回路の構成を示す図であり、図 6 は図 5 における一実施例のタイミングを示す図（その 1）であり、図 7 は図 5 における一実施例のタイミングを示す図（その 2）である。

【0064】なお、図 6 は送信クロック（SCK）の位相変動が受信クロック（RCK）に対して進む方向の場合に対応し、図 7 は送信クロック（SCK）の位相変動が受信クロック（RCK）に対して進む方向の場合に対応する。

【0065】また、図 6 と図 7 の両タイムチャートに記載する信号名は図 5 に記載する信号名に対応している。以下、図 5 の説明を図 6、図 7 を参照し行う。図 5 において、1 はクロック乗せ換え部であり、5 つの第 1 FF

30 11、第 2 FF 12、第 3 FF 14、第 4 FF 15、第 5 FF 18 と、2 つの第 1 セレクタ 16 と第 2 セレクタ 17 よりなる。なお、図 2 に比べて INV13 が除かれている。

【0066】第 1 FF 11 では、入力する SDTi を RCK でラッチし、該第 1 FF 11 のラッチ出力を 3 つに分岐して第 2 FF 12、第 3 FF 14、第 4 FF 15 に加え、後記する信号 K、信号 L、信号 M の中間信号をもとに、SDTi から位相を異にする 3 つのラッチ信号（SDTi と同じ）をつくる。

【0067】第 2 FF 12 では、第 1 FF 11 の出力を信号 K でラッチして、該第 1 FF 11 の出力を第 1 セレクタ 16 の 0 側に加える。第 3 FF 14 では、第 1 FF 11 の出力を信号 L でラッチして、該第 1 FF 11 の出力を第 2 セレクタ 17 の 1 側に加える。さらに第 4 FF 15 では、第 1 FF 11 の出力を信号 M でラッチして、該第 1 FF 11 の出力を第 1 セレクタ 16 の 1 側に加える。

【0068】第 1 セレクタ 16 では、信号 F を第 2 の切り換え制御信号にもちいて、信号 F が ‘L’ なら第 2 FF 12 の出力を選択するよう動き、信号 F が ‘H’ なら第 4 FF 15 の出力を選択するよう動き、該選択結果を第 2 セレクタ 17 の 0 側に加える。

【0069】第2セレクタ17では、信号Cを第1の切り換え制御信号にもちいて、信号Cが‘L’なら第1セレクタ16の出力を選択するように動き、信号Cが‘H’ならば第3FFF14の出力を選択するように動く。

【0070】第5FFF18では、第2セレクタ17から出力される信号Jを同期のSCKに乗せ換え、最終出力のSDT_oとしている。以下、クロック乗せ換え部1において、第1の切り換え制御信号の信号Cと第2の切り換え制御信号の信号Fおよび、受信データを処理する信号K、信号L、信号Mをつくる回路の説明を行う。

【0071】23と24の各回路は位相比較部2に対応し、23は立下がり検出部であり、24はウインドウパルス生成部である。立下がり検出部23では、RCMからRCKの立下がりエッジを検出した前記信号Aをつくる。

【0072】ウインドウパルス生成部24では、SCKとSCMから、SCKの立下がりエッジ付近をマスクするウインドウパルスの前記信号Gをつくる。比較部25では、信号Aと信号Gの比較を行う。該比較結果は、SCKの位相変動が遅れる方向の場合は‘L’になり、また、SCKの位相変動が進む方向の場合は‘H’になる。

【0073】31と32の各回路は位相変動方向監視部3に対応し、31は位相識別パルス生成部であり、32は位相変動方向判断部である。位相識別パルス生成部31では、SCMとSCKから該SCKに同期しつつそれ位相の異なる前記の信号K、信号L、信号Mをつくる。

【0074】位相変動方向判断部32では、前記の信号K、信号L、信号Mと前記信号Aとを比較し、SCKの位相変動がRCKに対して遅れる方向であると判断した場合は一方の信号Hを‘H’にし、SCKの位相変動がRCKに対して進む方向であると判断した場合は他方の信号Iを‘L’にするように動く。

【0075】制御信号生成部4では、比較部25の比較結果をもとに、クロック乗せ換え部1の第2セレクタ17を切り換える第1の切り換え制御信号の信号Cと、第1セレクタ16を切り換える第2の切り換え制御信号の信号Fをつくる。

【0076】この際、SCKの位相変動が遅れる方向の場合は信号Fは‘L’になり、SCKの位相変動が進む方向の場合は信号Fは‘H’になる。このように、第2セレクタ17が第1セレクタ16の出力を選択し、第1セレクタ16が第2FFF12の出力を選択している状態からの切り換えには、SCKの位相変動がRCKに対して遅れる方向の場合と進む方向の場合の2つが存在する。

【0077】さらに、RCKとRCM、SCKとSCMの速度比は凡そ8倍乃至16倍であることは前記と同様である。

2-1 SCKの位相変動が遅れる方向の場合 (図6)

図6に示す、SDT_i、RCK、信号A、SCK、信号G、信号K、信号L、信号Mのつくる方法等は、前記説

明と重複するので省略する。

【0078】位相変動方向判断部32が、SCKの位相変動が遅れる方向であると判断しているので信号Fは常に‘L’のままであり、第1セレクタ16は第2FFF12の出力を選択する。

【0079】X点迄は、信号Aの立上がりエッジが信号Gの‘H’区間内にあるので信号Cは‘H’であり、第2セレクタ17は第3FFF14の出力を選択するので、第2セレクタ17が選択する信号Jは、信号Lの立上がりエッジに同期した第3FFF14の出力となる。

【0080】従って、SDT_oは信号Lに同期した第3FFF14の出力をSCKでラッチした送信信号になる。X点に至ると、信号Aの立上がりエッジが信号Gの‘H’区間から外れるので信号Cは‘H’から‘L’に切り換わり、第2セレクタ17は第2FFF12の出力を選択する。

【0081】このように信号Cが‘H’から‘L’に切り換わると、第2セレクタ17の出力は、信号Kの立上がりエッジに同期した第2FFF12の出力に切り換わる。従って、SDT_oは信号Kに同期した第2FFF12の出力をSCKでラッチした信号になる。

【0082】以上をまとめると、第5FFF18では、第2セレクタ17からの出力のデータ幅をSCKの立上がりエッジでラッチできる長さになるように信号K、信号L、信号Mの時間幅を設定しているので、SDT_oの内容は保障できる。

2-2 SCKの位相変動が進む方向の場合 (図7)

SCK位相変動方向判断部32が、SCKの位相変動が進む方向であると判断しているので、信号Fは‘L’から‘H’に切り換わり、第1セレクタ16は第4FFF15の出力を選択する。

【0083】X点迄は、信号Aの立上がりエッジが信号Gの‘H’区間内にあるので信号Cは‘H’であり、第2セレクタ17は第3FFF14の出力を選択するので、第2セレクタ17が選択する信号Jは、信号Lの立上がりエッジに同期した第3FFF14の出力となる。

【0084】X点に至ると、信号Aの立上がりエッジが信号Gの‘H’区間から外れ、信号Cは‘H’から‘L’に切り換わり、第2セレクタ17は第4FFF15の出力を選択する。

【0085】この際、信号Jは信号Mの立上がりエッジでラッチした第4FFF15の出力に切り換わり、該信号Jは信号Mの立上がりエッジに同期した信号となり、SDT_oは信号Mに同期した信号JをSCKでラッチした信号となる。

【0086】以上をまとめると、第5FFF18では、第2セレクタ17の出力のデータ幅をSCKの立上がりエッジでラッチできる長さになるように信号K、信号L、信号Mを設定しているので、SDT_oの内容は保障できる。

【0087】

【発明の効果】以上の説明から明らかのように本発明に

よれば、クロック乗せ換えを行う際、受信クロックに対して送信クロックの位相変動が遅れる方向であっても、進む方向であっても柔軟に対応可能となる効果を奏し、1回目の受信クロックの立上がりエッジと送信クロックの立上がりエッジの接近では最終の送信データが保障でき、クロック乗せ換え回路のデータの信頼性向上に寄与するところが大きいという効果を奏する。

【図面の簡単な説明】

【図1】 本発明の原理構成を示す図

【図2】 本発明の一実施例回路の構成を示す図

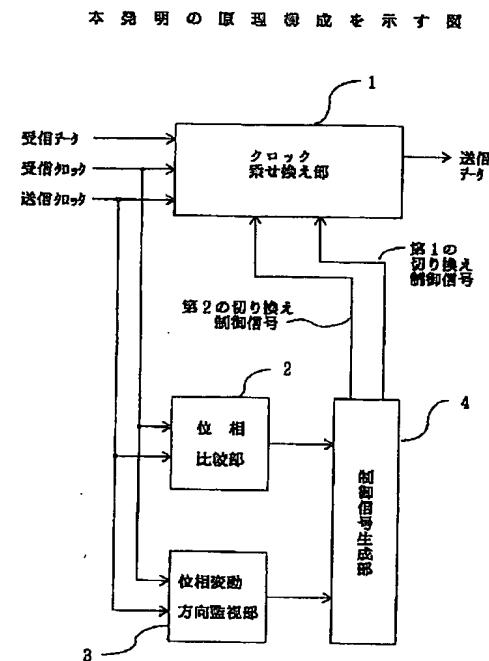
【図3】 図2における一実施例のタイミングを示す図
(その1)

【図4】 図2における一実施例のタイミングを示す図
(その2)

【図5】 本発明の他の実施例回路の構成を示す図

【図6】 図5における一実施例のタイミングを示す図
(その1)

【図1】



【図7】 図5における一実施例のタイミングを示す図
(その2)

【図8】 従来の一実施例回路の構成を示す図

【図9】 図8における一実施例のタイミングを示す図
(その1)

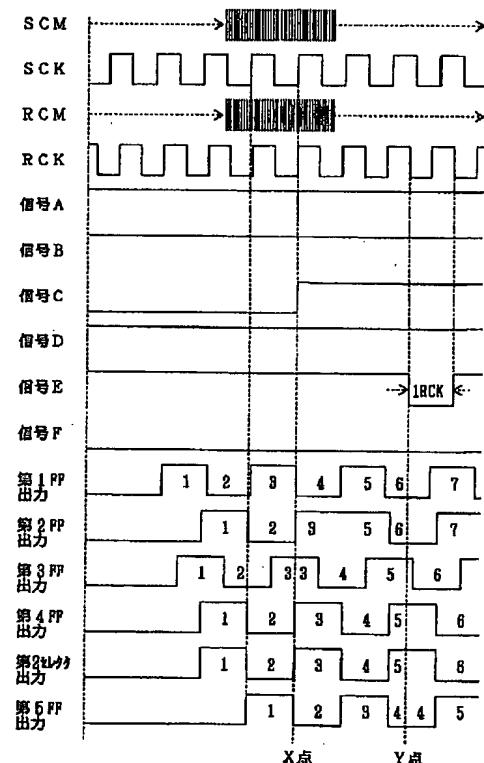
【図10】 図8における一実施例のタイミングを示す図
(その2)

【符号の説明】

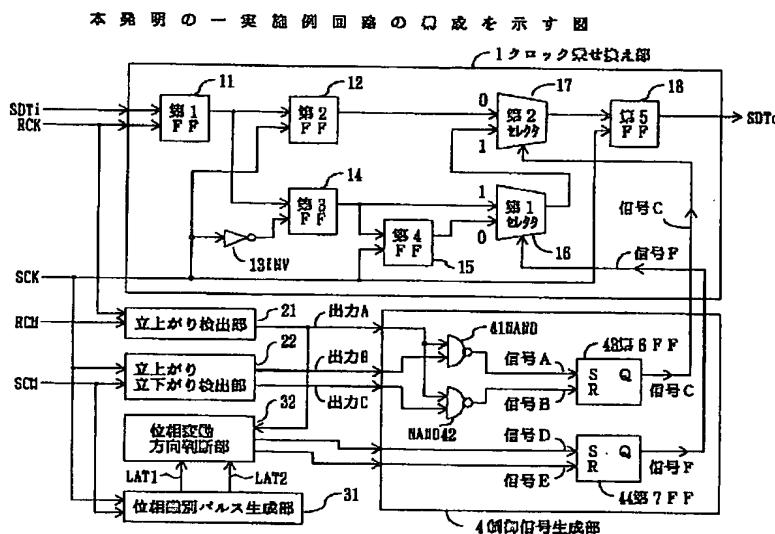
1	クロック乗せ換え部
2	位相比較部
3	位相変動方向監視部
4	制御信号生成部
10	立上がり検出部
21	立上がり立下がり検出部
22	立下がり検出部
23	ウインドウパルス生成部

【図3】

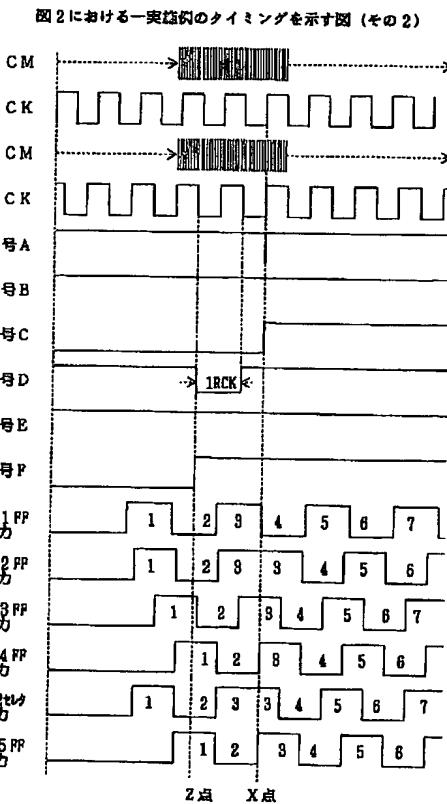
図2における一実施例のタイミングを示す図 (その1)



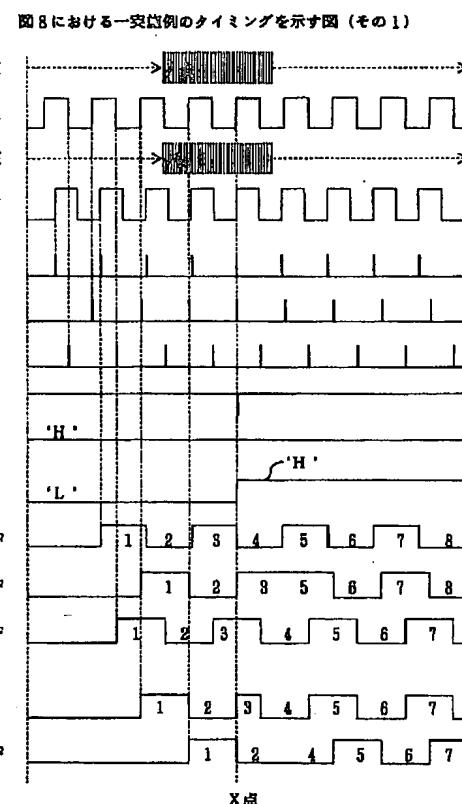
【図2】



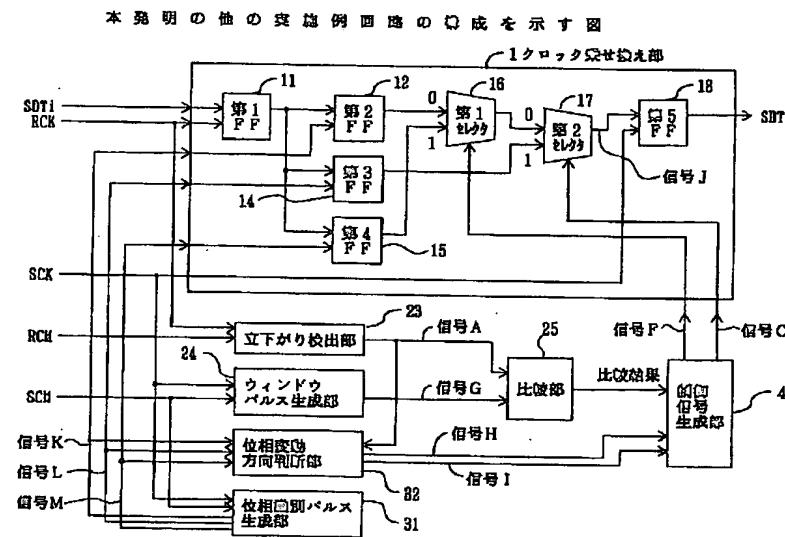
【図4】



【図9】

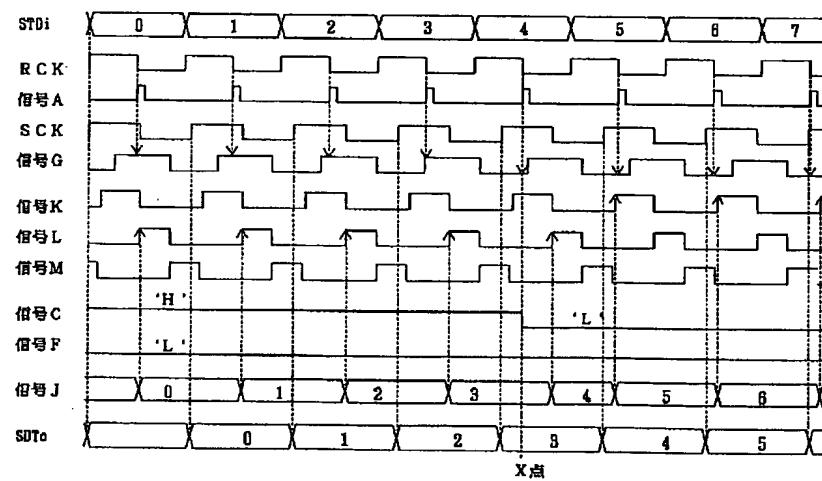


【図5】



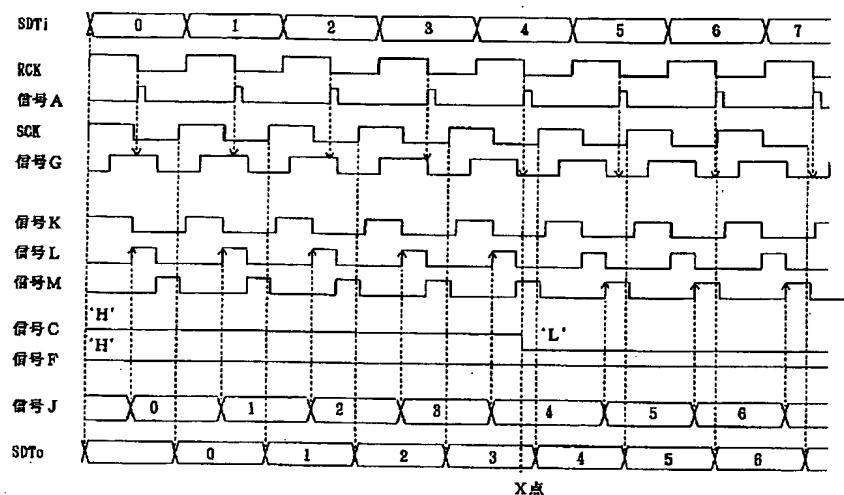
【図6】

図5における一実施例のタイミングを示す図(その1)



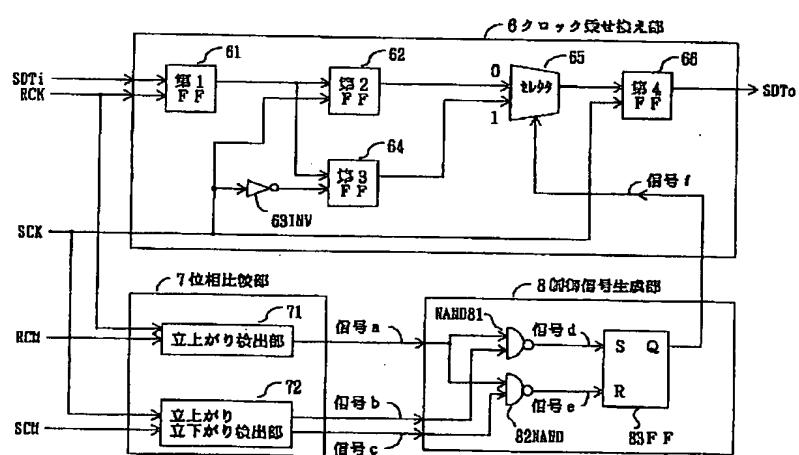
【図7】

図5における一実施例のタイミングを示す図(その2)



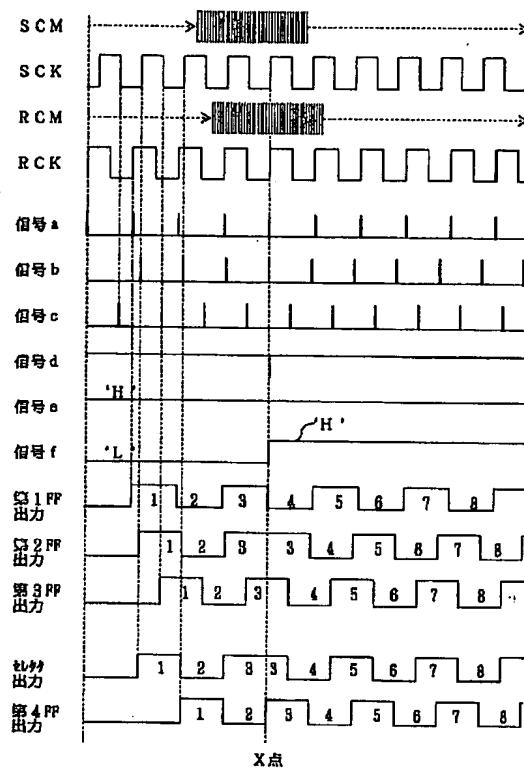
【図8】

従来の一実施例回路の構成を示す図



【図10】

図8における一実施例のタイミングを示す図(その2)



PATENT ABSTRACTS OF JAPAN

(11) Publication number : 07-336338
 (43) Date of publication of application : 22. 12. 1995

(51) Int. CI. H04L 7/00
 G06F 1/12
 H03K 17/00

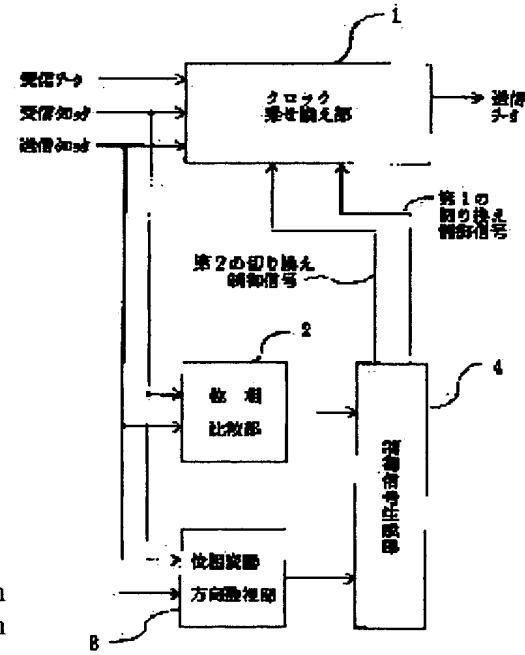
(21) Application number : 06-122174 (71) Applicant : FUJITSU LTD
 (22) Date of filing : 03. 06. 1994 (72) Inventor : KUBO TAKEO

(54) CLOCK SWITCHING CIRCUIT

(57) Abstract:

PURPOSE: To guarantee data continuity at the time of approaching transmission and reception clocks by generating first and second changeover control signals for a clock switching part based on the coincidence result of a phase comparator part and the monitored result of a phase fluctuation direction monitoring part.

CONSTITUTION: The clock switching part 1 receives reception data by the reception clock and prepares three pieces of data with different phases from the received data by the transmission clock. Then, one of the three pieces of the data with different phases is selected by the first and second changeover control signals. In the phase comparator part 2, the phases of the reception and transmission clocks are compared and the coincidence of both is detected. The phase fluctuation direction monitoring part 3 monitors the phase fluctuation direction of the reception and transmission clocks and a control signal generation part 4 prepares the first and second changeover control signals for the clock switching part 1 by the coincidence result of the comparator part 2 and the monitored result of the monitoring part 3. The switching part 1 is controlled by the changeover control signals and coping is performed so as to guarantee final output data against the approach of the rising edges of both reception and transmission clocks.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]